

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-152044

(43)Date of publication of application : 24.05.2002

(51)Int.Cl.

H03M 3/02

H03L 7/197

H03L 7/183

(21)Application number : 2000-349277

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 16.11.2000

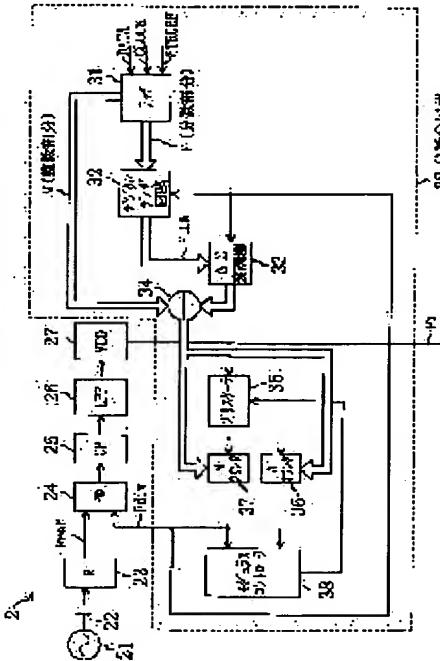
(72)Inventor : SAEKI TAKAHARU  
NAGASO YOICHI  
MAEDA MASAKATSU

## (54) DELTA SIGMA MODULATION CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To eliminate a spurious defect depending on an input in the delta sigma( $\Delta\Sigma$ ) modulation.

**SOLUTION:** A frequency synthesizer consisting of a phase locked loop(PLL) is provided with a fraction frequency divider 28. The fraction frequency divider 28 is provided with a latch 31 to latch frequency division data, a  $\Delta\Sigma$  modulator 33, a digital dither circuit 32 that receives a digital input (F value: n-bit binary data) denoting a fraction part of the frequency division data from the latch 31 and supplies a digital output alternately changed into F+k or F-k (k is an integer) to the  $\Delta\Sigma$  modulator 33, and circuit means 34-38 that execute a fraction frequency division on the basis of an integer part (M value) of the frequency division data and an output from the  $\Delta\Sigma$  modulator 33. The digital dither circuit 32 is useful to suppress a spurious signal cased as a result of concentration of quantization noise onto a specific frequency when the  $\Delta\Sigma$ modulator 33 receives a specific F value (e.g. F=2n-1).



## LEGAL STATUS

[Date of request for examination] 15.03.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3461799

[Date of registration] 15.08.2003

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] The delta sigma modulation circuit equipped with the digital dither circuit for supplying the digital output whose time average intervenes between a delta sigma modulator, and a digital input and said delta sigma modulator, and changes from said digital input discretely, and corresponds with said digital input to said delta sigma modulator.

[Claim 2] It is the delta sigma modulation circuit which has the function to change periodically the digital output supplied to said delta sigma modulator to  $F+k$  and  $F-k$  when said digital dither circuit sets said digital input to  $F$  in a delta sigma modulation circuit according to claim 1 and a certain integral value is set to  $k$ .

[Claim 3] It is the delta sigma modulation circuit which has the function to change periodically the digital output which supplies said digital dither circuit to said delta sigma modulator in a delta sigma modulation circuit according to claim 2 to  $F+1$  and  $F-1$ .

[Claim 4] It is the frequency synthesizer which consisted of phase-locked loops (PLL) containing a fraction counting-down circuit. Said fraction counting-down circuit The latch and delta sigma modulator for holding the given dividing data, The digital input which intervenes between said latch and said delta sigma modulator, and expresses the fraction part of said dividing data From said latch to reception The digital dither circuit for supplying the digital output whose time average changes from said digital input discretely, and corresponds with said digital input to said delta sigma modulator, The delta sigma modulation mold fraction dividing PLL frequency synthesizer equipped with the circuit means for performing fraction dividing actuation based on the integral part of said dividing data, and the output of said delta sigma modulator.

[Claim 5] In a delta sigma modulation mold fraction dividing PLL frequency synthesizer according to claim 4 said digital dither circuit 1/2 counting-down circuit for generating the clock signal which has the frequency of the one half of the frequency which the output signal of said fraction counting-down circuit has, and when setting a certain integral value to  $k$ , When setting said digital input to  $F$  with the selector for choosing a forward constant value " $+k$ " and a negative constant value " $-k$ " by turns according to logical level change of said clock signal, By adding the constant value chosen by said digital input  $F$  and said selector synchronizing with transition of the output signal of said fraction counting-down circuit The delta sigma modulation mold fraction dividing PLL frequency synthesizer which has an adder for changing periodically the digital output supplied to said delta sigma modulator to  $F+k$  and  $F-k$ .

[Claim 6] The cellular phone equipped with the delta sigma modulation mold fraction dividing PLL frequency synthesizer according to claim 4.

[Claim 7] The delta sigma modulation mold digital-analog converter equipped with the filter means for obtaining desired analog output by removing the quantizing noise included in the digital dither circuit for supplying the digital output whose time average intervenes between a delta sigma modulator, and a digital input and said delta sigma modulator, and changes from said digital input discretely, and corresponds with said digital input to said delta sigma modulator, and the output of said delta sigma modulator.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

**[Detailed Description of the Invention]****[0001]**

**[Field of the Invention]** This invention relates to a delta sigma modulation circuit and its application.

**[0002]**

**[Description of the Prior Art]** A delta sigma (deltasigma) modulator has circuitry which returns the quantizing noise which appears in an output to an input via a delay machine, and it is called a sigma delta (sigmadelta) modulator, or it is called a noise shaper from the operation which biases quantizing noise toward a RF region.

[0003] When using for a cellular phone etc. the frequency synthesizer which consisted of phase-locked loops (PLL), in order to secure many usable bands, it is required that an output frequency should be switched with a step size smaller than the frequency of a reference signal. The deltasigma modulation mold fraction dividing PLL frequency synthesizer is known as what fills this demand, and that example is shown in U.S. Pat. No. 5,070,310. In this PLL frequency synthesizer, the fraction counting-down circuit for carrying out dividing of the output of a voltage controlled oscillator, and returning to a phase comparator is equipped with deltasigma modulator, and digital value F which expresses the fraction part of the dividing data (nonintegral part) with this deltasigma modulator is given.

[0004] Moreover, the highly precise digital analog (D/A) transducer equipped with deltasigma modulator, i.e., deltasigma modulation mold D/A converter, is used with audio equipment etc.

**[0005]**

**[Problem(s) to be Solved by the Invention]** According to the conventional deltasigma modulation mold fraction dividing PLL frequency synthesizer, the frequency of the reference signal given to a phase comparator is set to Fref, and if digital value F showing the fraction part of the dividing data shall be binary data of n (n is integer) bit, an output frequency step size equal to Frefx (F/2<sup>n</sup>) is realizable. However, when deltasigma modulator receives a certain specific F value (for example, F=2<sup>n</sup>-1), as a result of a quantizing noise's concentrating on a specific frequency, the trouble that a spurious signal will occur was pointed out from before. Then, a large n value is taken (the example of the above-mentioned United States patent Fref= 26MHz, n= 24), and he replaces with the F value which poses a problem on it, and was trying to take the value of either F+1 or F-1 conventionally. Therefore, (1)(2) to which a circuit scale increases The technical problem that an output frequency shifted a little from the frequency of choice occurred.

[0006] Also with the conventional deltasigma modulation mold D/A converter, there was the same spurious fault as the above depending on the digital input of deltasigma modulator.

[0007] The purpose of this invention is to constitute the circuit which can cancel the above-mentioned spurious fault even if it does not enlarge digital input bit width of face of deltasigma modulator, and can obtain the output frequency of choice.

**[0008]**

**[Means for Solving the Problem]** In order to attain the above-mentioned purpose, suppose this invention that the configuration of deltasigma modulation circuit equipped with the digital dither circuit for supplying the digital output whose time average in addition to deltasigma modulator

intervenes between a digital input and deltasigma modulator, and changes from the digital input concerned discretely, and corresponds with the digital input concerned to deltasigma modulator is adopted. Thereby, even if it does not enlarge bit width of face of the digital input concerned, concentration of the quantizing noise to a specific frequency can be inhibited.

[0009] The application to a fraction dividing PLL frequency synthesizer, a D/A converter, etc. is possible for this deltasigma modulation circuit.

[0010]

[Embodiment of the Invention] Drawing 1 shows the example of a configuration of the cellular phone adapting the deltasigma modulation mold fraction dividing PLL frequency synthesizer concerning this invention. The deltasigma modulation mold fraction dividing PLL frequency synthesizer which 2 requires for this invention in the cellular phone 1 of drawing 1, 3 a modulation and a demodulator (mixer), and 5 for a counting-down circuit (DIV) and 4 Gain control amplifier (GCA), A low pass filter (LPF) and 7 6 An analog-to-digital (A/D) converter, 8 -- a digital analog (D/A) transducer and 9 -- for a microphone and 12, as for an antenna and 14, a transfer switch and 13 are [ Baseband LSI and 10 / a loudspeaker and 11 / low noise amplifier (LNA) and 15 ] driver amplifier. Fo expresses the output signal of the deltasigma modulation mold fraction dividing PLL frequency synthesizer 2.

[0011] Drawing 2 shows the example of a detail configuration of the deltasigma modulation mold fraction dividing PLL frequency synthesizer 2 in drawing 1. drawing 2 -- setting -- 21 -- the source of reference frequency, and 22 -- for a phase comparator (PD) and 25, as for a low pass filter (LPF) and 27, a charge pump (CP) and 26 are [ a coupling capacitor and 23 / a reference counting-down circuit (R) and 24 / a voltage controlled oscillator (VCO) and 28 ] fraction counting-down circuits. These phase comparators 24, the charge pump 25, the low pass filter 26, the voltage controlled oscillator 27, and the fraction counting-down circuit 28 constitute the phase-locked loop (PLL). The fraction counting-down circuit 28 is equipped with latch 31, the digital dither circuit 32, the deltasigma modulator 33, an adder 34, the prescaler 35, the A counter 36, the N counter 37, and the modulus controller 38.

[0012] In the deltasigma modulation mold fraction dividing PLL frequency synthesizer 2 of drawing 2, the fraction counting-down circuit 28 carries out dividing of the output signal Fo of a voltage controlled oscillator 27. The comparison signal Fdiv acquired by this dividing returns to a phase comparator 24. A phase comparator 24 detects the phase contrast of a reference signal Fref and the comparison signal Fdiv, and the electrical-potential-difference pulse of the pulse width according to the phase contrast is sent to the charge pump 25 from a phase comparator 24. According to the output of a phase comparator 24, the charge pump 25 will be in the condition of either the discharge of a current, absorption or high impedance, and will give a charge pump-output current to a low pass filter 26. With a low pass filter 26, it graduates, and electrical-potential-difference conversion is carried out and this charge pump-output current serves as control voltage of a voltage controlled oscillator 27.

[0013] Next, actuation of the fraction counting-down circuit 28 is explained. According to the configuration of drawing 2, it is inputted into the A counter 36 and the N counter 37 after dividing (P+1) of the output signal Fo of a voltage controlled oscillator 27 is carried out by the prescaler 35. The A counter 36 outputs a pulse, after doing A count of the output signal Fo of the voltage controlled oscillator 27 by which dividing (P+1) was carried out, and the modulus controller 38 switches the number of dividing of a prescaler 35 to P from (P+1). Next, after the N counter 37 counts the output signal Fo of the voltage controlled oscillator 27 carried out P dividing (N-A), a pulse is outputted to a phase comparator 24 and the modulus controller 38, and the number of dividing of a prescaler 35 switches to (P+1).

[0014] The number of dividing of the output signal Fo of a voltage controlled oscillator 27 is xA until the A counter 36 outputs a pulse (P+1), and it is Px (N-A) until the N counter 37 outputs a pulse. Therefore, it is if the frequency of an output signal and a reference signal is respectively set to Fo and Fref.  $Fo = (P+1) (xA + Px (N-A)) xFref = (PxN + A) xFref \quad (1)$

\*\*\*\*\*. Even if it is  $P = 2n$  (n is an integer), the number of usable bands can be made [ many ] by changing A in a formula (1).

[0015] Furthermore, in order to make [ many ] the number of usable bands, the deltasigma

modulator 33 is formed, and the digital dither circuit 32 intervenes between latch 31 and the deltasigma modulator 33 for the dissolution of spurious fault. Latch 31 holds given dividing data DAT A. CLOCK is a clock signal and STROBE is a strobe signal. Dividing data DAT A contains digital value M showing an integral part, and digital value F showing a fraction part (nonintegral part). An F value is n-bit binary data here. The digital dither circuit 32 supplies the digital output whose time average changes latch 31 to an F value from reception and the F value concerned discretely, and corresponds with the F value concerned to the deltasigma modulator 33. When setting a certain integral value to k (for example, k= 1), specifically, the digital dither circuit 32 changes periodically the digital output supplied to the deltasigma modulator 33 to F+k and F-k. And based on M value given by the latch 31 and the output of the deltasigma modulator 33, fraction dividing actuation by the above-mentioned prescaler 35, the A counter 36, and the N counter 37 is performed. The result  $F_o = (PxN+A) (+F/2^n) \times Fref$  -- (2)

An output frequency step size equal to \*\*\*\*\* and  $Fref \times (F/2^n)$  is realized. That is, since the frequency  $F_o$  of an average of an output signal can be switched with a step size smaller than the frequency  $Fref$  of a reference signal at the time of normal operation and reference frequency  $Fref$  can be set up greatly, the PLL frequency synthesizer which has a good lock-up property is obtained.

[0016] Drawing 3 shows the example of a detail configuration of the digital dither circuit 32 in drawing 2. As for 1/2 counting-down circuit and 42, in drawing 3, 41 is [ a selector and 43 ] adders. 1/2 counting-down circuit 41 generates clock signal DFdiv which has the frequency of the one half of the frequency which said comparison signal Fdiv has. a constant value “-k (B input)” negative when the logical level of reception and the S input concerned of a selector 42 is a low (Low) considering this clock signal DFdiv as an S input and the logical level of the S input concerned is yes (High) about a forward constant value “+k (A input)” -- \*\* -- a forward and negative constant value is chosen as the condition to say as a Y output by turns. An adder 43 changes Y output to F+k and F-k periodically by performing addition A+B, when the F value was given to reception and the standup pulse of the comparison signal Fdiv as a B input from said latch 31 and a constant value “\*\*k” is given to them as a CK input from said selector 42 as an A input, respectively. And Y output of this adder 43, i.e., F\*\*k, is supplied to the deltasigma modulator 33. Drawing 4 (a) – (d) shows actuation of the above digital dither circuit 32.

[0017] Drawing 5 shows the simulation result of the quantizing noise in the deltasigma modulation mold fraction dividing PLL frequency synthesizer 2 of drawing 2. Here, it shall be referred to as  $Fref=6.5MHz$ ,  $M= 778$ ,  $F= 128$ ,  $n= 8$ , and  $k= 1$ , and the secondary two steps of modulators shall be adopted as a deltasigma modulator 33.

[0018] According to drawing 5, it turns out that the frequency characteristics of a quantizing noise have an inclination and the quantizing noise of a low frequency region is decreasing compared with the case where deltasigma modulation is not applied. The time average of the number of dividing in the fraction counting-down circuit 28 is 778.5, and is completely in agreement with the desired number of dividing. And concentration of the quantizing noise to a specific frequency is not produced, either. If it considers that a big spectrum appears near 800kHz when an F value (= 128= 27) is given to the deltasigma modulator 33 as it was, without forming the digital dither circuit 32, the effectiveness of the digital dither circuit 32 concerned is greatest.

[0019] In addition, the digital dither circuit 32 is not restricted to the configuration of drawing 3. To the given F value, the data transmitted to the deltasigma modulator 33 may take F+k and F-k at random at intervals of an unspecified period, and circuitry which is in agreement with the F value concerned may be used for them with a time average.

[0020] Drawing 6 shows the example of a configuration of deltasigma modulation mold digital analog (D/A) converter concerning this invention. deltasigma modulation mold D/A converter 50 of drawing 6 adds the digital dither circuit 53 which has the same configuration as drawing 3 to the preceding paragraph of the conventional D/A converter which consisted of a deltasigma modulator 51 and an integrator 52. The deltasigma modulator 51 is equipped with the adder 61, 1-bit D/A converter 62, the subtractor 63, and the delay machine 64. By removing the quantizing noise included in the output of the deltasigma modulator 51, an integrator 52 is a filter means for

obtaining desired analog output, and is also called a postfilter. The digital dither circuit 53 supplies the digital output whose time average intervenes between a digital input and the deltasigma modulator 51, and changes from the digital input concerned discretely, and corresponds with the digital input concerned to the deltasigma modulator 51. In addition, the clock signal supplied to each part is omitted illustration.

[0021] According to deltasigma modulation mold D/A converter 50 of drawing 6, even if it does not enlarge digital input bit width of face of the deltasigma modulator 51, the spurious fault depending on the digital input of the deltasigma modulator 51 concerned is cancelable.

[0022]

[Effect of the Invention] According to this invention, it intervenes between a digital input and deltasigma modulator as explained above. Since the digital dither circuit for supplying the digital output whose time average changes from the digital input concerned discretely, and corresponds with the digital input concerned to deltasigma modulator was adopted Even if it does not enlarge bit width of face of the digital input concerned, as a result of being able to inhibit concentration of the quantizing noise to a specific frequency, the conventional spurious fault can be canceled and the output frequency of choice can be obtained.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

**[Drawing 1]** It is the block diagram showing the example of a configuration of the cellular phone adapting the deltasigma modulation mold fraction dividing PLL frequency synthesizer concerning this invention.

**[Drawing 2]** It is the block diagram showing the example of a detail configuration of the deltasigma modulation mold fraction dividing PLL frequency synthesizer in drawing 1.

**[Drawing 3]** It is the block diagram showing the example of a detail configuration of the digital dither circuit in drawing 2.

**[Drawing 4]** (a) – (d) is a timing-chart Fig. for explaining actuation of the digital dither circuit of drawing 3.

**[Drawing 5]** It is drawing showing the simulation result of the quantizing noise in the deltasigma modulation mold fraction dividing PLL frequency synthesizer of drawing 2.

**[Drawing 6]** It is the block diagram showing the example of a configuration of deltasigma modulation mold D/A converter concerning this invention.

**[Description of Notations]**

1 Cellular Phone

2 DeltaSigma Modulation Mold Fraction Dividing PLL Frequency Synthesizer

24 Phase Comparator (PD)

25 Charge Pump (CP)

26 Low Pass Filter (LPF)

27 Voltage Controlled Oscillator (VCO)

28 Fraction Counting-down Circuit

31 Latch

32 Digital Dither Circuit

33 DeltaSigma Modulator

41 1/2 Counting-down Circuit

42 Selector

43 Adder

50 DeltaSigma Modulation Mold D/A Converter

51 DeltaSigma Modulator

52 Integrator

53 Digital Dither Circuit

---

[Translation done.]

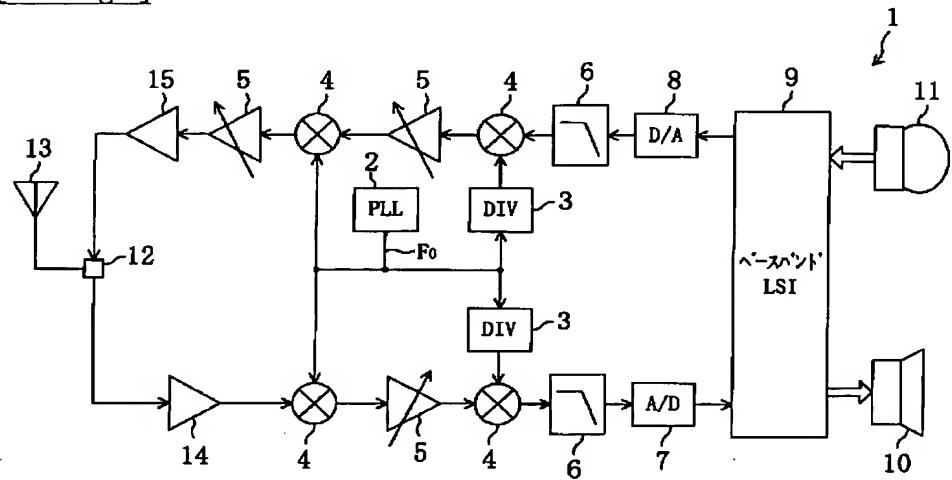
## \* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

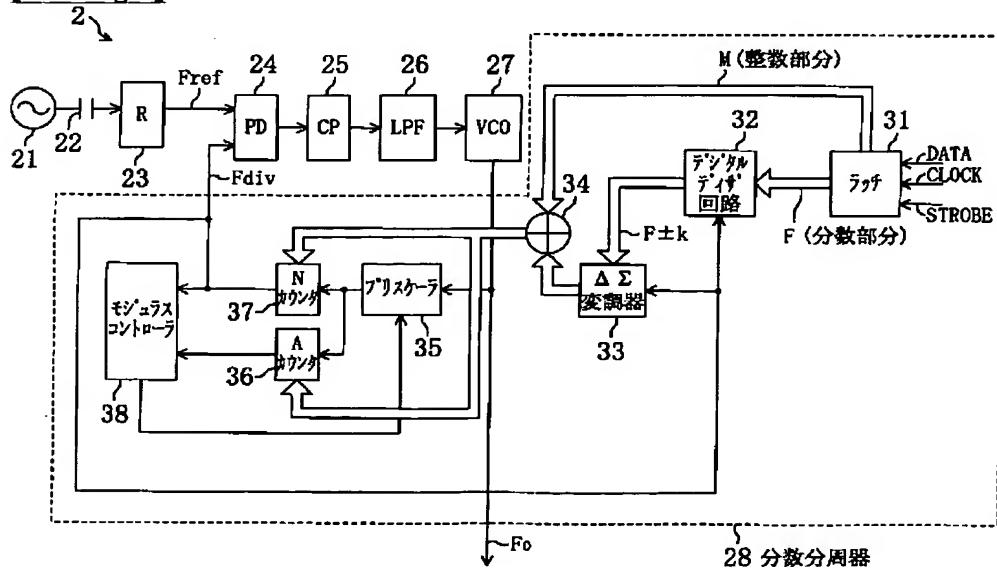
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

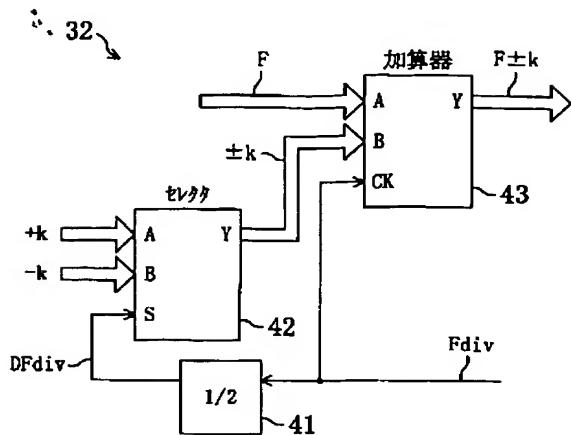
[Drawing 1]



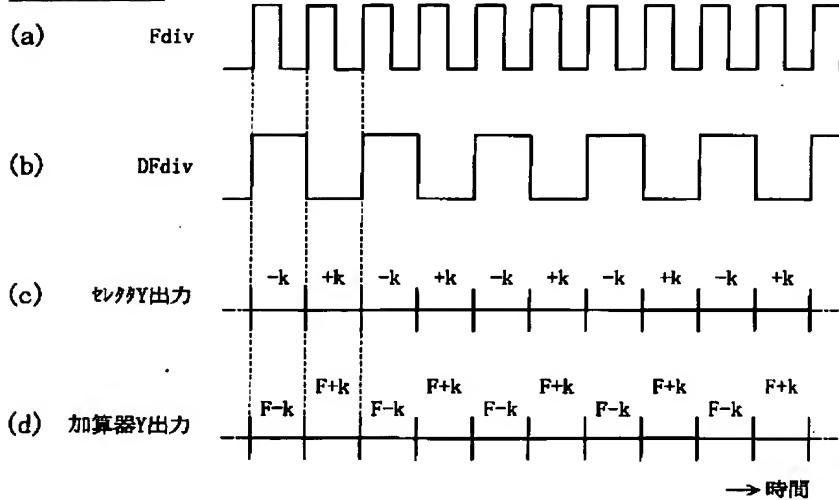
[Drawing 2]



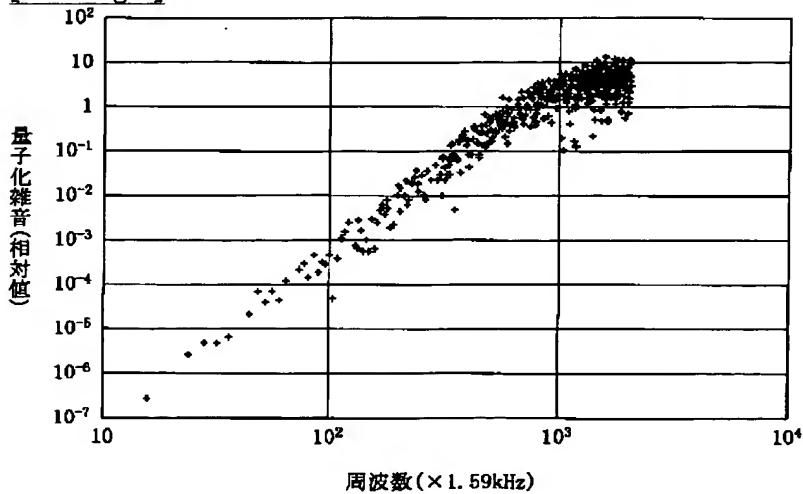
[Drawing 3]



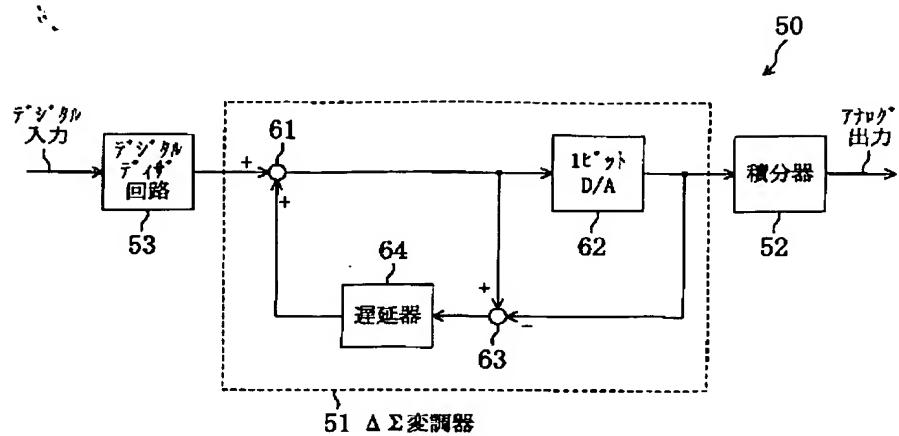
[Drawing 4]



[Drawing 5]



[Drawing 6]



---

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2002-152044  
(P2002-152044A)

(43)公開日 平成14年5月24日 (2002.5.24)

(51)Int.Cl.  
H 03M 3/02  
H 03L 7/197  
7/183

識別記号

F I  
H 03M 3/02  
H 03L 7/18

テーマコード(参考)  
5 J 0 6 4  
A 5 J 1 0 6  
B

審査請求 有 請求項の数 7 O L (全 7 頁)

(21)出願番号 特願2000-349277(P2000-349277)

(22)出願日 平成12年11月16日 (2000.11.16)

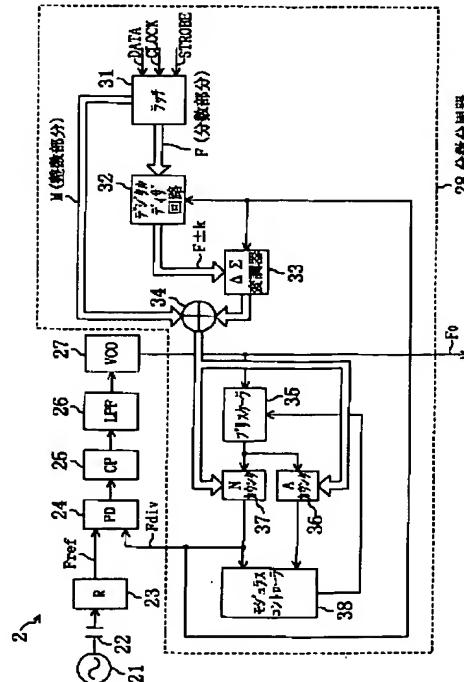
(71)出願人 000005821  
松下電器産業株式会社  
大阪府門真市大字門真1006番地  
(72)発明者 佐伯 ▲高▼晴  
大阪府高槻市幸町1番1号 松下電子工業  
株式会社内  
(72)発明者 長曾 洋一  
大阪府高槻市幸町1番1号 松下電子工業  
株式会社内  
(74)代理人 100077931  
弁理士 前田 弘 (外7名)

(54)【発明の名称】 デルタ・シグマ変調回路

(57)【要約】

【課題】 デルタ・シグマ ( $\Delta \Sigma$ ) 変調における入力に依存したスプリアス不具合を解消する。

【解決手段】 位相同期ループ (PLL) で構成された周波数シンセサイザに、分数分周器 28 を設ける。分数分周器 28 は、分周データを保持するためのラッチ 31 と、 $\Delta \Sigma$  変調器 33 と、分周データのうちの分数部分を表すデジタル入力 (F 値: n ビットバイナリデータ) をラッチ 31 から受け取り、ある整数値を k とするとき、F + k と F - k とに交互に変化するデジタル出力を  $\Delta \Sigma$  変調器 33 へ供給するためのデジタルディザ回路 32 と、分周データのうちの整数部分 (M 値) と  $\Delta \Sigma$  変調器 33 の出力とに基づいて分数分周動作を実行するための回路手段 34 ~ 38 とを備える。デジタルディザ回路 32 は、ある特定の F 値 (例えば  $F = 2^{n-1}$ ) を  $\Delta \Sigma$  変調器 33 が受け取った際に量子化雑音が特定の周波数に集中する結果として生じるスプリアス信号の抑止に役立つ。



## 【特許請求の範囲】

【請求項1】 デルタ・シグマ変調器と、  
デジタル入力と前記デルタ・シグマ変調器との間に介在し、前記デジタル入力から離散的に変化しつつ時間平均が前記デジタル入力と一致するデジタル出力を前記デルタ・シグマ変調器へ供給するためのデジタルディザ回路とを備えたデルタ・シグマ変調回路。

【請求項2】 請求項1記載のデルタ・シグマ変調回路において、  
前記デジタルディザ回路は、前記デジタル入力をFとし、ある整数値をkとするとき、前記デルタ・シグマ変調器へ供給するデジタル出力をF+kとF-kとに周期的に変化させる機能を有するデルタ・シグマ変調回路。

【請求項3】 請求項2記載のデルタ・シグマ変調回路において、

前記デジタルディザ回路は、前記デルタ・シグマ変調器へ供給するデジタル出力をF+1とF-1とに周期的に変化させる機能を有するデルタ・シグマ変調回路。

【請求項4】 分数分周器を含んだ位相同期ループ（PLL）で構成された周波数シンセサイザであって、前記分数分周器は、

与えられた分周データを保持するためのラッチと、デルタ・シグマ変調器と、

前記ラッチと前記デルタ・シグマ変調器との間に介在し、前記分周データのうちの分数部分を表すデジタル入力を前記ラッチから受け取り、前記デジタル入力から離散的に変化しつつ時間平均が前記デジタル入力と一致するデジタル出力を前記デルタ・シグマ変調器へ供給するためのデジタルディザ回路と、

前記分周データのうちの整数部分と前記デルタ・シグマ変調器の出力に基づいて分数分周動作を実行するための回路手段とを備えたデルタ・シグマ変調型分数分周PLL周波数シンセサイザ。

【請求項5】 請求項4記載のデルタ・シグマ変調型分数分周PLL周波数シンセサイザにおいて、

前記デジタルディザ回路は、

前記分数分周器の出力信号が有する周波数の半分の周波数を有するクロック信号を生成するための1/2分周器と、

ある整数値をkとするとき、前記クロック信号の論理レベル変化に応じて正の定数値「+k」と負の定数値「-k」とを交互に選択するためのセレクタと、前記デジタル入力をFとするとき、前記デジタル入力Fと前記セレクタにより選択された定数値とを前記分数分周器の出力信号の遷移に同期して加算することにより、前記デルタ・シグマ変調器へ供給するデジタル出力をF+kとF-kとに周期的に変化させるための加算器とを有するデルタ・シグマ変調型分数分周PLL周波数シンセサイザ。

【請求項6】 請求項4記載のデルタ・シグマ変調型分

数分周PLL周波数シンセサイザを備えた携帯電話。

【請求項7】 デルタ・シグマ変調器と、  
デジタル入力と前記デルタ・シグマ変調器との間に介在し、前記デジタル入力から離散的に変化しつつ時間平均が前記デジタル入力と一致するデジタル出力を前記デルタ・シグマ変調器へ供給するためのデジタルディザ回路と、

前記デルタ・シグマ変調器の出力に含まれる量子化雑音を除去することにより所望のアナログ出力を得るための

10 フィルタ手段とを備えたデルタ・シグマ変調型デジタル・アナログ変換器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デルタ・シグマ変調回路とその応用に関するものである。

【0002】

【従来の技術】デルタ・シグマ（ $\Delta \Sigma$ ）変調器は、出力に現れる量子化雑音を遅延器経由で入力に帰還する回路構成を有し、シグマ・デルタ（ $\Sigma \Delta$ ）変調器と呼ばれたり、量子化雑音を高周波域に偏らせる作用からノイズシーカーと呼ばれたりする。

【0003】位相同期ループ（PLL）で構成された周波数シンセサイザを携帯電話等に利用する場合、多くの使用可能バンドを確保するため、出力周波数を基準信号の周波数より小さいステップサイズで切り換えることが要求される。この要求を満たすものとして $\Delta \Sigma$ 変調型分数分周PLL周波数シンセサイザが知られており、その一例が米国特許第5,070,310号に示されている。このPLL周波数シンセサイザでは、電圧制御発振器の出力を分周して位相比較器へ帰還するための分数分周器が $\Delta \Sigma$ 変調器を備えており、この $\Delta \Sigma$ 変調器に分周データのうちの分数部分（非整数部分）を表すデジタル値Fが与えられるようになっている。

【0004】また、 $\Delta \Sigma$ 変調器を備えた高精度のデジタル・アナログ（D/A）変換器、すなわち $\Delta \Sigma$ 変調型D/A変換器がオーディオ機器等で利用されている。

【0005】

【発明が解決しようとする課題】従来の $\Delta \Sigma$ 変調型分数分周PLL周波数シンセサイザによれば、位相比較器に与えられる基準信号の周波数をFrefとし、分周データのうちの分数部分を表すデジタル値Fがn（nは整数）ビットのバイナリデータであるものとすると、 $F_{ref} \times (F / 2^n)$ に等しい出力周波数ステップサイズを実現することができる。ところが、ある特定のF値

（例えば $F = 2^{n-1}$ ）を $\Delta \Sigma$ 変調器が受け取ったときに量子化雑音が特定の周波数に集中する結果、スプリアス信号が発生してしまうという問題点が以前から指摘されていた。そこで、従来はn値を大きくとり（上記米国特許の例では $F_{ref} = 26\text{MHz}$ , n=24）、その上で問題となるF値に代えてF+1又はF-1のいずれか

一方の値をとるようにしていた。したがって、(1) 回路規模が増大する、(2) 出力周波数が希望周波数より若干ずれるという課題があった。

【0006】従来の $\Delta\Sigma$ 変調型D/A変換器でも、 $\Delta\Sigma$ 変調器のデジタル入力に依存した上記と同様のスプリアス不具合があった。

【0007】本発明の目的は、 $\Delta\Sigma$ 変調器のデジタル入力ビット幅を大きくしなくとも上記スプリアス不具合を解消でき、かつ希望出力周波数を得られる回路を構成することにある。

【0008】

【課題を解決するための手段】上記目的を達成するため、本発明は、 $\Delta\Sigma$ 変調器に加えて、デジタル入力と $\Delta\Sigma$ 変調器との間に介在し、当該デジタル入力から離散的に変化しあつ時間平均が当該デジタル入力と一致するデジタル出力を $\Delta\Sigma$ 変調器へ供給するためのデジタルディザ回路を備えた $\Delta\Sigma$ 変調回路の構成を採用することとしたものである。これにより、当該デジタル入力のビット幅を大きくしなくとも、特定周波数への量子化雑音の集中を抑止することができる。

【0009】この $\Delta\Sigma$ 変調回路は、分数分周PLL周波数シンセサイザ、D/A変換器等への応用が可能である。

【0010】

【発明の実施の形態】図1は、本発明に係る $\Delta\Sigma$ 変調型分数分周PLL周波数シンセサイザを応用した携帯電話の構成例を示している。図1の携帯電話1において、2は本発明に係る $\Delta\Sigma$ 変調型分数分周PLL周波数シンセサイザ、3は分周器(DIV)、4は変調・復調器(ミキサ)、5はゲインコントロールアンプ(GCA)、6はローパスフィルタ(LPF)、7はアナログ・デジタル(A/D)変換器、8はデジタル・アナログ(D/A)変換器、9はベースバンドLSI、10はスピーカ、11はマイクロフォン、12は切り替えスイッチ、13はアンテナ、14はローノイズアンプ(LNA)、15はドライバアンプである。Foは $\Delta\Sigma$ 変調型分数分周PLL周波数シンセサイザ2の出力信号を表している。

【0011】図2は、図1中の $\Delta\Sigma$ 変調型分数分周PLL周波数シンセサイザ2の詳細構成例を示している。図2において、21は基準周波数源、22はカッピング

$$\begin{aligned} Fo &= ((P+1) \times A + P \times (N-A)) \times F_{ref} \\ &= (P \times N + A) \times F_{ref} \end{aligned}$$

が成り立つ。 $P = 2^n$ (nは整数)であっても、式(1)中のAを変化させることで使用可能バンド数を多くできる。

【0015】更に使用可能バンド数を多くするために $\Delta\Sigma$ 変調器33が設けられており、スプリアス不具合の解消のためにラッチ31と $\Delta\Sigma$ 変調器33との間にデジタルディザ回路32が介在している。ラッチ31は、与え

コンデンサ、23はリファレンス分周器(R)、24は位相比較器(PD)、25はチャージポンプ(CP)、26はローパスフィルタ(LPF)、27は電圧制御発振器(VCO)、28は分数分周器である。これら位相比較器24、チャージポンプ25、ローパスフィルタ26、電圧制御発振器27及び分数分周器28は、位相同期ループ(LL)を構成している。分数分周器28は、ラッチ31と、デジタルディザ回路32と、 $\Delta\Sigma$ 変調器33と、加算器34と、プリスケーラ35と、Aカウント36と、Nカウント37と、モジュラス・コントローラ38とを備えている。

【0012】図2の $\Delta\Sigma$ 変調型分数分周PLL周波数シンセサイザ2では、分数分周器28が電圧制御発振器27の出力信号Foを分周する。この分周により得られた比較信号Fdinvは、位相比較器24へ帰還される。位相比較器24は基準信号Frerefと比較信号Fdinvとの位相差を検出し、その位相差に応じたパルス幅の電圧パルスが位相比較器24からチャージポンプ25に送られる。チャージポンプ25は、位相比較器24の出力に応じて、電流の吐き出し、吸い込み、又はハイインピーダンスのいずれかの状態となり、チャージポンプ出力電流をローパスフィルタ26に与える。このチャージポンプ出力電流はローパスフィルタ26で平滑化、電圧変換されて、電圧制御発振器27の制御電圧となる。

【0013】次に、分数分周器28の動作を説明する。図2の構成によれば、電圧制御発振器27の出力信号Foがプリスケーラ35で(P+1)分周された後、Aカウント36及びNカウント37に入力される。Aカウント36は(P+1)分周された電圧制御発振器27の出力信号FoをAカウントした後にパルスを出し、モジュラス・コントローラ38がプリスケーラ35の分周数を(P+1)からPに切り換える。次に、Nカウント37はP分周された電圧制御発振器27の出力信号Foを(N-A)カウントした後、パルスを位相比較器24及びモジュラス・コントローラ38に出力し、プリスケーラ35の分周数が(P+1)に切り換わる。

【0014】電圧制御発振器27の出力信号Foの分周数は、Aカウント36がパルスを出力するまでは(P+1)×Aであり、Nカウント37がパルスを出力するまではP×(N-A)である。したがって、出力信号及び基準信号の周波数を各々Fo、Frerefとすれば、

$$\dots (1)$$

られた分周データDATAを保持する。CLOCKはクロック信号、STROBEはストローブ信号である。分周データDATAは、整数部分を表すデジタル値Mと、分数部分(非整数部分)を表すデジタル値Fとを含んでいる。ここに、F値はnビットのバイナリデータである。デジタルディザ回路32は、ラッチ31からF値を受け取り、当該F値から離散的に変化しあつ時間平均が

当該F値と一致するデジタル出力を $\Delta\Sigma$ 変調器33へ供給する。具体的には、ある整数値をk(例えばk=1)とするとき、デジタルディザ回路32は、 $\Delta\Sigma$ 変調器33へ供給するデジタル出力を $F+k$ と $F-k$ とに周期的に

$$F_o = ((P \times N + A) + F / 2^n)$$

が成り立ち、 $F_{ref} \times (F / 2^n)$ に等しい出力周波数ステップサイズが実現する。つまり、通常動作時においては出力信号の平均の周波数 $F_o$ を、基準信号の周波数 $F_{ref}$ よりも小さいステップサイズで切り換えることができ、基準周波数 $F_{ref}$ を大きく設定できるため、良好なロックアップ特性を有するPLL周波数シンセサイザが得られる。

【0016】図3は、図2中のデジタルディザ回路32の詳細構成例を示している。図3において、41は1/2分周器、42はセレクタ、43は加算器である。1/2分周器41は、前記比較信号 $F_{div}$ が有する周波数の半分の周波数を有するクロック信号 $D F_{div}$ を生成する。セレクタ42は、このクロック信号 $D F_{div}$ をS入力として受け取り、当該S入力の論理レベルがロー(Low)である場合には正の定数値「+k(A入力)」を、当該S入力の論理レベルがハイ(High)である場合には負の定数値「-k(B入力)」をという具合に、正・負の定数値を交互にY出力として選択する。加算器43は、A入力として前記ラッチ31からF値を、B入力として前記セレクタ42から定数値「±k」をそれぞれ受け取り、比較信号 $F_{div}$ の立ち上がりパルスがCK入力として与えられた時に加算 $A+B$ を実行することにより、Y出力を $F+k$ と $F-k$ とに周期的に変化させる。そして、この加算器43のY出力、すなわち $F \pm k$ が $\Delta\Sigma$ 変調器33へ供給されるようになっている。図4(a)～(d)は、以上のデジタルディザ回路32の動作を示している。

【0017】図5は、図2の $\Delta\Sigma$ 変調型分数分周PLL周波数シンセサイザ2における量子化雑音のシュミレーション結果を示している。ここでは、 $F_{ref}=6.5\text{MHz}$ 、 $M=778$ 、 $F=128$ 、 $n=8$ 、 $k=1$ とし、 $\Delta\Sigma$ 変調器33として2次かつ2段の変調器を採用するものとした。

【0018】図5によれば、量子化雑音の周波数特性が傾きを持ち、 $\Delta\Sigma$ 変調をかけない場合に比べて低周波域の量子化雑音が減っていることが分かる。分数分周器28における分周数の時間平均は778.5であって、所望の分周数と完全に一致している。しかも、特定周波数への量子化雑音の集中も生じていない。デジタルディザ回路32を設げずにF値( $=128=2^7$ )をそのまま $\Delta\Sigma$ 変調器33に与えたとき、 $800\text{kHz}$ 付近に大きなスペクトルが現れることを考えると、当該デジタルディザ回路32の効果は絶大である。

【0019】なお、デジタルディザ回路32は図3の構成に限らない。与えられたF値に対して、 $\Delta\Sigma$ 変調器3

に変化させる。そして、ラッチ31から与えられたM値と $\Delta\Sigma$ 変調器33の出力とにに基づいて、上記プリスケーラ35、Aカウンタ36及びNカウンタ37による分数分周動作が実行される。その結果、

$$\times F_{ref} \dots (2)$$

3へ伝達されるデータは、不特定の周期間隔で $F+k$ と $F-k$ とをランダムにとり、時間平均では当該F値と一致するような回路構成を採用してもよい。

【0020】図6は、本発明に係る $\Delta\Sigma$ 変調型デジタル・アナログ(D/A)変換器の構成例を示している。図6の $\Delta\Sigma$ 変調型D/A変換器50は、 $\Delta\Sigma$ 変調器51と積分器52とで構成された従来のD/A変換器の前段に、例えば図3と同様の構成を有するデジタルディザ回路53を付加したものである。 $\Delta\Sigma$ 変調器51は、加算器61と、1ビットD/A変換器62と、減算器63と、遅延器64とを備えている。積分器52は、 $\Delta\Sigma$ 変調器51の出力に含まれる量子化雑音を除去することにより所望のアナログ出力を得るためのフィルタ手段であって、ポストフィルタとも呼ばれるものである。デジタルディザ回路53は、デジタル入力と $\Delta\Sigma$ 変調器51との間に介在し、当該デジタル入力から離散的に変化しつつ時間平均が当該デジタル入力と一致するデジタル出力を $\Delta\Sigma$ 変調器51へ供給する。なお、各部へ供給されるクロック信号は図示を省略している。

【0021】図6の $\Delta\Sigma$ 変調型D/A変換器50によれば、 $\Delta\Sigma$ 変調器51のデジタル入力ビット幅を大きくしなくとも、当該 $\Delta\Sigma$ 変調器51のデジタル入力に依存したスプリアス不具合を解消することができる。

【0022】

【発明の効果】以上説明してきたとおり、本発明によれば、デジタル入力と $\Delta\Sigma$ 変調器との間に介在し、当該デジタル入力から離散的に変化しつつ時間平均が当該デジタル入力と一致するデジタル出力を $\Delta\Sigma$ 変調器へ供給するためのデジタルディザ回路を採用したので、当該デジタル入力のビット幅を大きくしなくとも特定周波数への量子化雑音の集中を抑止できる結果、従来のスプリアス不具合を解消することができ、かつ希望出力周波数を得ることができる。

【図面の簡単な説明】

【図1】本発明に係る $\Delta\Sigma$ 変調型分数分周PLL周波数シンセサイザを応用した携帯電話の構成例を示すブロック図である。

【図2】図1中の $\Delta\Sigma$ 変調型分数分周PLL周波数シンセサイザの詳細構成例を示すブロック図である。

【図3】図2中のデジタルディザ回路の詳細構成例を示すブロック図である。

【図4】(a)～(d)は図3のデジタルディザ回路の動作を説明するためのタイミングチャート図である。

【図5】図2の $\Delta\Sigma$ 変調型分数分周PLL周波数シンセサイザにおける量子化雑音のシュミレーション結果を示す

す図である。

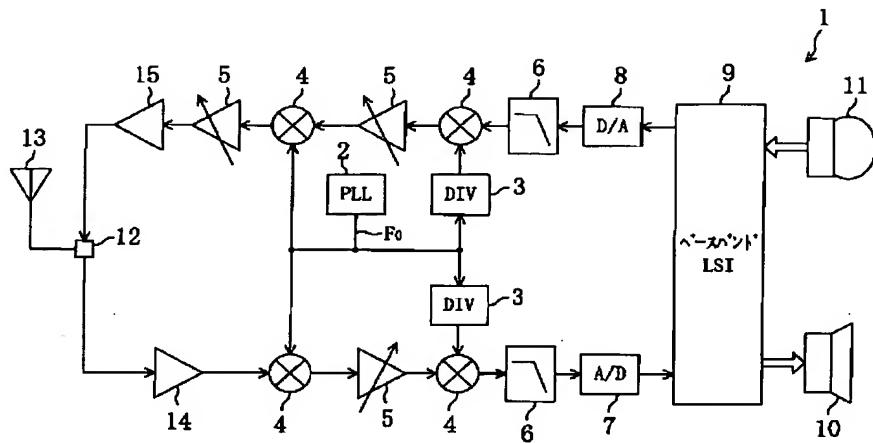
【図6】本発明に係る $\Delta\Sigma$ 変調型D/A変換器の構成例を示すブロック図である。

## 【符号の説明】

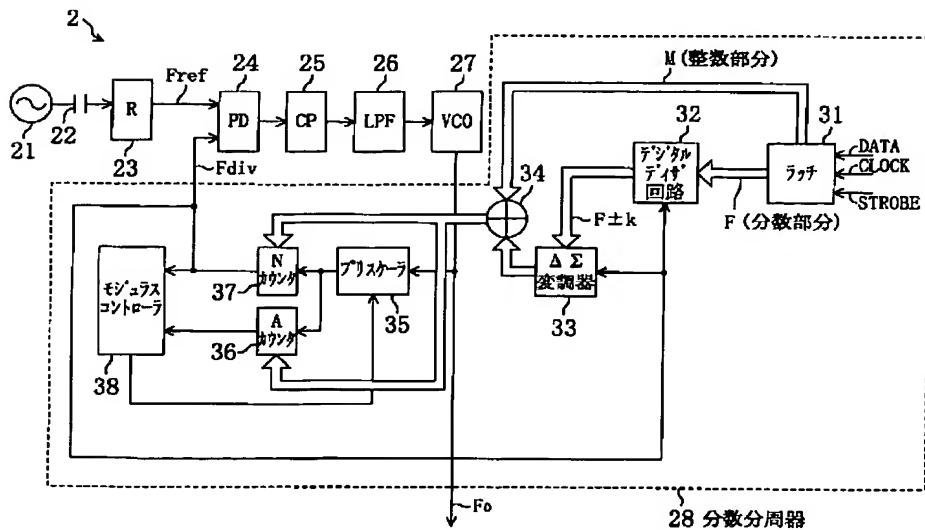
- 1 携帯電話
- 2  $\Delta \Sigma$  変調型分数分周 P L L 周波数シンセサイザ
- 2 4 位相比較器 (P D)
- 2 5 チャージポンプ (C P)
- 2 6 ローパスフィルタ (L P F)
- 2 7 電圧制御発振器 (V C O)
- 2 8 分数分周器

- 3 1 ラッチ
- 3 2 デジタルディザ回路
- 3 3  $\Delta \Sigma$ 変調器
- 4 1 1／2分周器
- 4 2 セレクタ
- 4 3 加算器
- 5 0  $\Delta \Sigma$ 変調型D／A変換器
- 5 1  $\Delta \Sigma$ 変調器
- 5 2 積分器
- 10 5 3 デジタルディザ回路

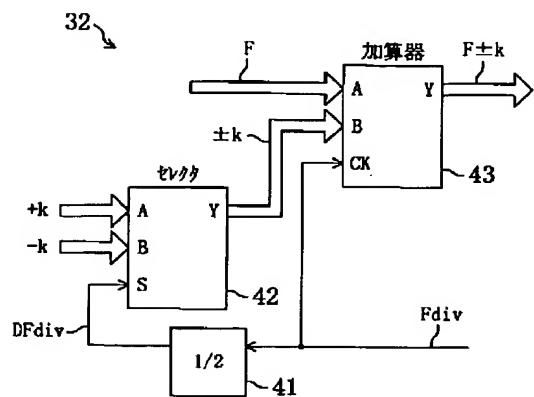
[図 1]



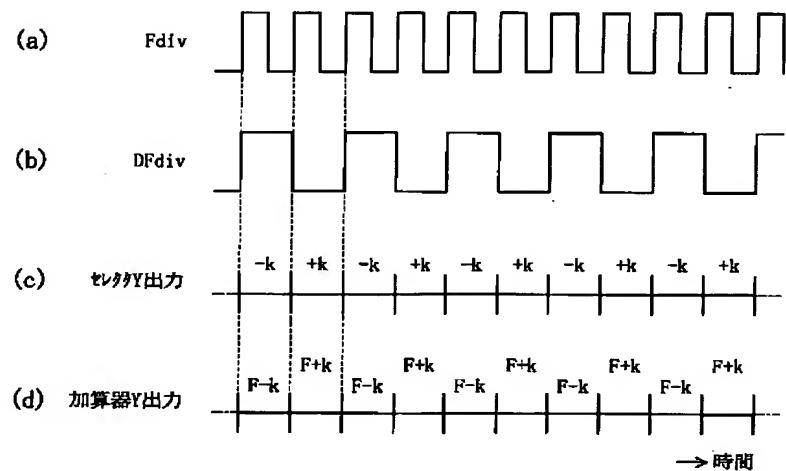
【図2】



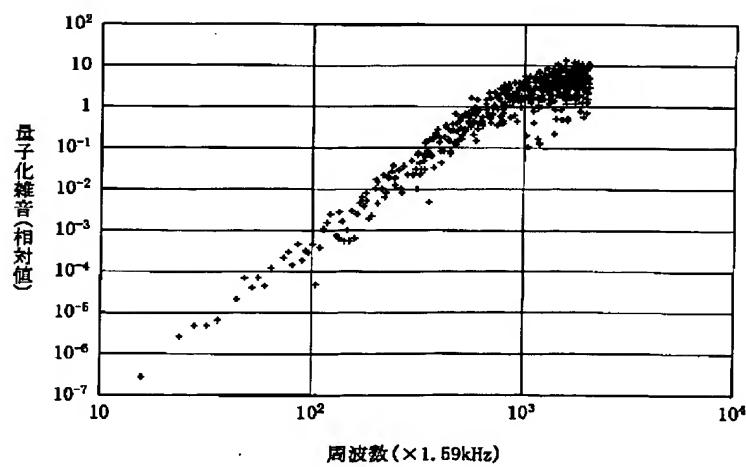
【図3】



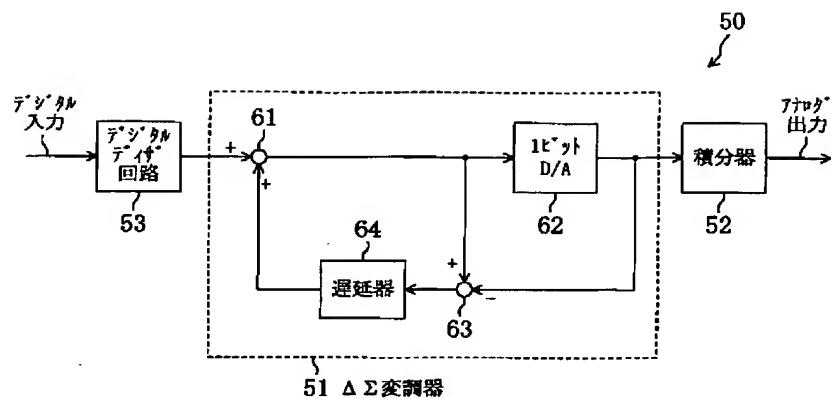
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 前田 昌克  
大阪府高槻市幸町1番1号 松下電子工業  
株式会社内

Fターム(参考) 5J064 AA00 BA03 BB14 BC00 BC05  
BC06 BC07 BC08 BC10 BC11  
BC14 BC25 BD02  
5J106 AA05 BB01 BB10 CC37 CC52  
DD31 DD35 FF02 JJ05 KK12  
KK26